

JP 356143859 A

NOV 1981

(54) CAPACITY ELEMENT

(11) 56-148859 (A) (43) 18.11.1981 (19) JP

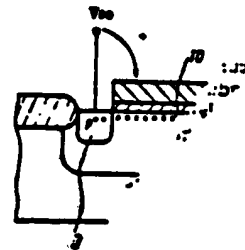
(21) Appl. No. 55-52519 (22) 18.4.1980

(71) MITSUBISHI DENKI K.K. (72) TOORU KUWABARA

(51) Int. Cl.³ H01L27/04, H01L29/94

PURPOSE: To manufacture a capacity element having less irregularity due to the variation in the wafer process parameter without input voltage dependency by doping impurity in high density on the surface layer of a semiconductor region.

CONSTITUTION: In a silicon gate capacitor having a p⁺ type impurity region 2 surrounded by a field oxide film 4 on an n type impurity substrate 1, a gate oxide film 5 forming an insulating film and a polycrystalline silicon layer 6 forming an electrode, a region (p⁺ type region) 10 doped with a p type impurity having higher density than the region 2 is formed. The region 3 is connected to V_{DD} as the high potential side of a power source, the region 2 thus becomes V_{DD} of the potential, and a capacity is formed between the region 2 and a polycrystalline silicon layer 6 forming a signal line. Even if the applied voltage varies at this time, a depletion layer does not form by a p⁺ type region 10, thereby eliminating the voltage dependency of the capacity.



出類公認

昭56-148859

公開 昭和56年(1981)11月19日

発明の数 1
審査請求 未請求

(全 3 頁)

櫻株式会社北伊丹製作所内

①出 願 人 三菱電機株式会社
東京都千代田区丸の内2丁目2
番3号
②代 理 人 弁理士 葛野信一 外 名

21 22 23

植物の名

● ● ● ●

● 学歴要求の緩和

(1) 一、最良の羊毛を供給し上は織物を介して
布を配給し、上記羊毛を供給と電報的にパイ
管田を印刷するようでしたものに基づいて、上記
毛すの上記羊毛を供給の製造法で、上記羊毛を
供した一、最良の不列特を他の部分より最良
ドーンしたとを結算とする可成り。

この半導体物質は、この半導体物質と反対導電性の半導体と接合して形成され、電極は多結晶シリコンから成ることを特徴とする半導体素子の製造方法及びその装置。

飛脚の昇進と没落

この説明は、入力電圧依存性のない事故素子に
するものである。

である、この種の寄生素子の一つとして、鉄と銅
 系のようなシリコンゲート電界効果管がある。

加えて、(1)は不純物基質、(2)は伝導層

異なる物質組成（以下 β 組成と稱す）、(3) 石灰質 β 相不同物質組成（以下 β^{**} 組成と稱す）、(4) 石灰 α — β 相化初、(5) 硫酸固相を生成する β — α 相化初、(6) 石灰を生成する多結晶 β — α 相化初。

P^{++} 組成は、電解の高電位側である V_{90} に形成されておき、このため P^{++} 組成は電位は V_{90} となり、定年線を形成する多結晶シリコン薄膜と力の定年線が形成される。

第1図の構成において、 V_{DD} から信号電圧を印
けて電圧をかけていつたときの $V_{DD}-0$ 期電圧を
定したときのグラフを C_{eff} とし、第2図に示す
今、このシリコンゲートキャパシタを相補型京
動集積トランジスタのウェーブロセスで形成した
すれば、加電圧は0から電流の飽和電位角一
までの間で変化することになり、その状態を
示す。このグラフから明らかのように、 $V_{DD}-0$
は C_{eff} は、電流電圧の範囲内で若干しずの、
の正側で一定の値にありつく。この現象を第3
図において説明する。図はゲート電圧増加に伴

成された空乏層である。その厚さは第1図と同様である。

第2図において、Vが充分に高いとき、ゲート酸化膜の下には空乏層は形成されず、 $V_{gs}-\phi_{sc}$ が第2図のゲート酸化膜によって決まる電位 $\psi_s = (V_{gs} - \phi_{sc}) / 1.0$ となる。ただし、 ψ_s はゲート酸化膜の曲率、 ϕ_{sc} はゲート酸化膜の厚さ、 1.0 はゲート酸化膜の比誘電率である。Vの値が酸化膜に近づくと、ゲート酸化膜の下にp型半導体には空乏層が形成され、その空乏層の厚さは、Vが十分に高くなるにつれて大きくなり、従って空乏層の厚さとしては小さくなる。今、その空乏層の厚さを C_{ox} とすれば、 $V_{gs}-\phi_{sc}$ は、 C_{ox} と C_{sc} が直列に並ぶことになり、 $C_s = \frac{C_{ox} \cdot C_{sc}}{C_{ox} + C_{sc}}$ となる。つまり、

C_{sc} が小さくなるにつれ、 C_s も C_{sc} からしだい小さくなる。Vが十分に高くなると、ゲート酸化膜の下にp型半導体には空乏層が形成され、空乏層の厚さが停止するまで減少する。その場所が第3図のA

トキャピタの電圧特性 C_{sc} を示し、以下、第4図を用いて本発明の動作を説明する。Vが充分に高いとき、第2図と同様、 $V_{gs}-\phi_{sc}$ が第2図のゲート酸化膜によって決まる電位 $\psi_s = (V_{gs} - \phi_{sc}) / 1.0$ である。次に、Vが酸化膜に近づくと、p型半導体の表面近傍にあるp型半導体によって、第2図で見られたような空乏層の形成は開始される。つまり、表面近傍では、第1図の場合に比べて多くのホールが存在するため、空乏層が形成されないのである。Vが充分に高くなると、ゲートから表面に向かう電場力の強さは、p型半導体にあるホールの数と釣り合う様になり、ホールは表面近傍から押しやられて、空乏層の形成が開始される。したがって、第2図の場合に説明したのと同様に、ゲート酸化膜の厚さ、空乏層による容量が直列に加わるため、 $V_{gs}-\phi_{sc}$ の電圧が $C_s = \frac{C_{ox} \cdot C_{sc}}{C_{ox} + C_{sc}}$ となつて、

減少する。グラフ C_{sc} におけるフラットバンド電圧を V_{FB} 、グラフ C_{sc} におけるフラットバンド電圧を V_{FB} とすると、 $V_{FB} - V_{FB} = \frac{\phi_{sc}}{C_s}$ でグラフ

点である。

従来のシリコンゲートキャピタは以上のようになっているので、従来の入力電圧によってその容量値が変動し、かつ、その値がゲート酸化膜のみによって決まらないうえ、所望の設計することが困難であった。

この発明は上記のような従来のものの欠点を補正するための発明である。従って、従来のシリコンゲートキャピタと同一の構造のシリコンゲートキャピタより高容量にドープすることにより、入力電圧の依存性がなく、かつ、エッチングによる寄生容量の増加によるバラツキの少ない容量値を提供することにある。

以下、この発明の一実施例を図面について説明する。

第4図において、図2のp型半導体より高い電位をドープされた酸化膜（以下p型半導体と略す）である。他の符号は第1図と同様である。

第5図は第4図のように形成されたシリコン

フ C_{sc} は十分に高くなることとなる。そこで、第5図のシリコンゲートの下にドープされた不純物のドーピングである。

以上説明したようにこの発明によれば、半導体表面の電圧特性が酸化膜の厚さによって決まり、ゲート酸化膜の厚さのみによって決まらず、かつ電圧依存性もないので、所望の設計値の容量値を得ることが出来る。

4. 図面の簡単な説明

第1図は従来のシリコンゲートキャピタの構造を示す断面図、第2図は従来のシリコンゲートキャピタの電圧特性を示すグラフ、第3図は従来のシリコンゲートキャピタのゲート下空乏層を示す断面図、第4図は本発明によるシリコンゲートキャピタの構造を示す断面図、第5図はその電圧特性と従来のシリコンゲートキャピタの電圧特性を比較して示すグラフである。

(1) - p型半導体、(2) - p型半導体、(3) - ゲート酸化膜、(4) - p型半導体シリコンゲートドープされたp型不純物。

